

# 2023 International Solid-State Circuits Conference

## (ISSCC) Review

서울과학기술대학교 전자IT미디어공학과 남재원 교수

### Topic : Data Converter

Session 10 및 Session 17에서 데이터 변환기(ADC, DAC)와 관련하여 총 15편의 논문이 발표되었다. 논문들의 핵심 내용은 아래와 같다.

### Session 10. Pipelined and Noise-Shaping ADCs

Session 10에서는 GHz 대역에서 저전력 동작이 가능한 파이프라인 ADC를 주제로 세 편 (10.1, 10.2, 10.3) 및 고해상도 응용 분야를 위한 노이즈 셰이핑 ADC를 주제로 네 편 (10.4, 10.5, 10.6, 10.7)이 발표되었다.

#10.1 12-bit closed-loop pipelined ADC에 대한 연구이다. 제안하는 ADC는 2x interleaved ping-pong 구조를 사용한 일곱 개의 프리 샘플링 MDAC과 5-bit PIPO SAR ADC가 레퍼런스 버퍼 및 바이어스 회로를 공유하는 구조이다. Pre-Sampler는 레퍼런스 전압 및 공통 모드 전압을 샘플링하여 데이터 샘플링 및 변환 과정 중 스위칭 에너지를 소비하지 않도록 했다. 프리 샘플러를 통해 레퍼런스 버퍼 및 바이어스 회로의 구동 요구 조건을 완화시키고, 변환 효율을 높이는 것을 특징으로 한다. 해당 회로는 16nm 공정으로 설계되어 1.8 GHz의 샘플링 주파수에서 60.16 dB의 SNDR를 달성하였다.

#10.2 기존의 양자화 및 증폭을 병렬로 수행하여 pipeline 작업을 가속화하는 PARG (post-amplification residue generation) 기술은 선형성이 부족하여 single-stage 기준 6 비트 이상의 해상도를 달성하기 힘들었다. 본 논문에서는 이러한 단점을 개선하기 위해 각 stage의 residue 신호 생성 시간을 줄이면서도 고선형성을 가지는 TARG (time-assisted residue generation) 기법을 제안하였다. 해당 회로는 28 nm 공정에서 설계되어 2.6 GHz의 샘플링 주파수에 대해 51.4 dB의 SNDR 및 71.0 dB의 SFDR를 달성하였다.

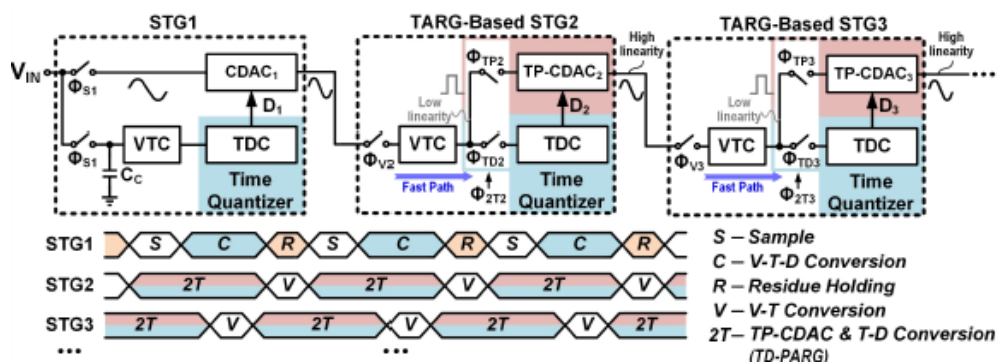


그림 1. 논문 10.2에서 제안하는 TD pipelined ADC 구조

#10.3 본 논문은 보정이 필요하지 않은 Critically Damped Ring Amplifier (CDRA)를 활용한 시간 영역 (TD) 보조 pipelined ADC를 제안하였다. pipelined ADC는 MDAC과 TD-sub ADC를 포함한 세 개의 stage와 4b TD ADC를 포함한 4-stage 구조이며, 총 12 비트의 해상도를 갖는 구조이다. CDRA는 기존의 Ring Amplifier와 같이 크게 3-stage로 구성되지만 첫 번째와 두 번째 stage에 1/gm-loading을 추가하였고 dominant pole의 위치를 더 높은 주파수로 이동시켜 회로를 안정시키는 방법을 제안하였다. 또한 PVT 변화에 따른 CDRA의 성능 최적화를 위하여 추가적인 저전력 CMFB 구조를 제안하였다. 제안하는 ADC는 28nm 공정에서 설계되었고, 61.5 dB의 SNDR를 달성하였다. 공급 전압 1.0 V, 2 GS/s의 샘플링 주파수에서 27 mW의 전력을 소비하며, 공급 전압 및 온도 변화에 따라 각각 2.0 dB, 3.7 dB의 SNDR 변동성을 가지며, 70dB 이상의 SFDR 성능을 보였다. 공급 전압 또는 온도에 따른 보정 없이도 단 채널 구조에서 고속으로 안정적인 성능을 달성할 수 있음을 보였다는 점이 주목할 만하다.

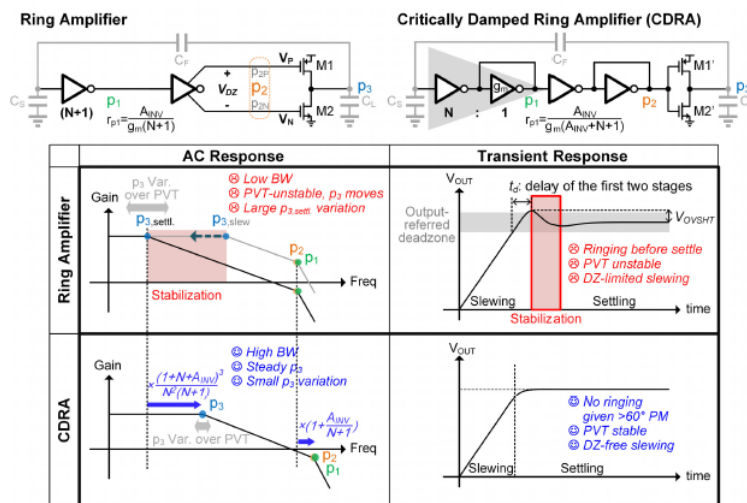


그림 2. 논문 10.3에서 Ring amplifier와 critically damped ring amplifier의 비교

#10.4 Predictive Level-Shifting 기법을 적용한 two-step SAR ADC에 관한 연구이다. ADC의 프론트 엔드 구조는 입력 신호를 입력 버퍼의 선형 동작 구간으로 이동시키고, 입력 신호의 양자화 잔류 전압 (quantization residue)를 다음 단으로 전달하는 역할을 한다. 능동형 RC 미분기를 이용하여 입력 신호를 예측하고 Level-shift 커패시터에 전압 차이를 설정하여 다음 샘플링 단계에서의 입력 신호에 맞출 수 있도록 하였다. 입력 버퍼의 구조는 빠르게 변화하는 신호를 Tracking하기 위해 flipped voltage follower 구조로 설계되었다. residue 생성을 위해서 4-bit coarse Flash ADC 및 CDAC이 사용되었고, 이렇게 생성된 잔류전압(residue)은 이후의 two-step SAR ADC를 통해 18-bit 해상도를 갖는 변환이 수행된다. 제안하는 ADC는 입력 신호의 레벨을 입력 버퍼가 동작할 수 있는 구간으로 이동시키는 회로를 이용하여 rail-to-rail 6.6 Vppd 입력을 처리할 수 있다. 180 nm 공정으로 제작된 ADC는 12 MS/s의 샘플링 주파수로 4 MHz 입력 신호를 샘플링 했을 때, 91.3 dB의 최대 SNDR를 달성하였다.

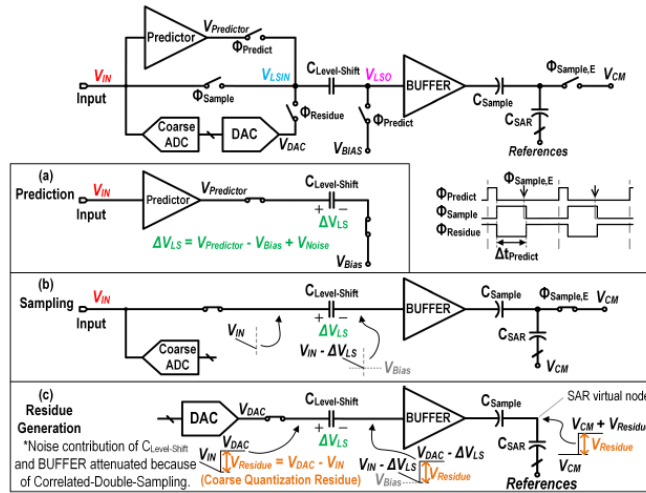


그림 3. 논문 10.4에서 제안하는 predictive level-shifting 개념도

#10.5 2-stage 과표분화 ADC에서 stage 간 gain error를 조정할 때 발생하는 문제점을 해결하기 위해 Q-prediction-unrolled gain-error-shaping (QPU-GES)를 제안하였다. 기존 GES를 활용한 연구에서는 gain error를 조정할 때 두 번째 단의 출력에서 첫 번째 단의 양자화 잡음을 예측하고 이를 제거하였는데, 이 과정에서 발생하는 오차를 해소하기 위해 추가적인 digital error feedback (DEF)가 필요했다. 이는 시간이 많이 소요되고, 정궤환을 일으켜 첫 번째 단의 잡음을 키우는 결과를 가져왔다. QPU-GES는 첫 번째 단에서 추가적인 LSB 양자화를 통해 양자화 잡음을 예측한다. 이 때 LSB 양자화는 critical path의 보조 ADC에서 이루어지는데, 이 방법을 사용하면 DEF 없이도 빠른 속도로 정궤환 없이도 gain error를 조정할 수 있다. 측정을 통해 QPU-GES를 사용했을 때 gain error에 대한 내성이 증가하고, 공급 전압 및 온도 변화가 있을 때 최저 73 dB 이상의 SNDR를 달성할 수 있음을 보였다.

#10.6 Noise-shaping SAR quantizer 및 floating-inverter amplifier (FIA)를 이용한 Zoom ADC에 관한 연구이다. 해당 ADC는 coarse quantizer와 fine quantizer로 구성되어 있다. Coarse quantizer로는 6-bit delta-sigma (DS) ADC 및 2nd-order digital prediction을 사용해 최소한의 DAC 스위칭 동작으로 입력값을 추적할 수 있도록 하였다. Fine quantizer는 2nd-order 7-bit noise-shaping (NS) SAR 구조에서 flipped voltage buffer (FVF) 방식의 dynamic buffer 하나만을 사용해 Nth-order loop filter를 구현하였다. Loop filter 앞에 위치한 FIA를 kT/C 노이즈 저감, 샘플링 노이즈 저감, residue extraction을 위한 증폭을 수행하도록 동작하도록 설계하여 샘플링 커패시터의 크기를 10분의 1로 줄일 수 있었고, 총 샘플링 횟수도 75% 감소시킬 수 있었다. 28 nm CMOS 공정에서 제작된 회로는 샘플링 주파수가 300 kS/s일 때 180  $\mu$ W의 전력을 소모하고 SNDR은 92.5 dB의 성능을 보였다.

#10.7 Residue amplifier error shaping 기법을 적용한 single-channel 4th-order noise-shaping (NS) pipeline-SAR ADC에 대한 연구이다. 해당 ADC의 속도는 첫 번째 단계에서 결정되는데, 속도를 향상시키기 위해 kT/C 노이즈를 저감시킬 수 있는 1st-order integration을 적용하고, residue amplifier의 노이즈, gain 및 settling 오차를 해결하기 위한 1st-order feedforward (FF) noise-

shaping 기법이 사용되었다. 또한 coarse ADC를 사용하여 첫 번째 단의 양자화 속도가 빨라질 수 있도록 하였다. 28 nm 공정에서 설계된 ADC는 3.8의 OSR 및 760 MHz의 샘플링 주파수에서 100MHz의 대역폭을 가진다. 공급전압원의 10% 변화량에 대해 SNDR 변화는 2 dB 미만으로 변화해 전압 및 온도 변동에 강한 특징을 또한 보였다.

### Session 17 : High-Speed Data Converters

Session 17에서는 샘플링 속도가 최소 1GS/s 이상인 고속 데이터 변환기들이 소개되었다. 고속 동작을 위해 Time-Interleaving 기법을 적용한 다섯 편의 논문 (17.1, 17.4, 17.5, 17.6, 17.8) 및 저전력 동작에 초점을 둔 세 편의 논문 (17.2, 17.3, 17.7)이 발표되었다.

#17.1 TI-SAR ADC에 대한 연구로 시간 영역 양자화기를 통해 한 개의 DAC만을 이용하여 변환 속도 및 면적에 이점을 갖는다. 선형화된 동적 적분기 기반 V2T 버퍼를 도입하여 시간 영역 양자화기와 샘플링 프론트 엔드를 분리하고 Kick-back 잡음을 제거할 수 있도록 하였다. 이를 통해 빠른 변환 속도 및 높은 입력 대역폭을 달성하였다. 특히, 온칩에서 단위 시간 보정 없이 9-bit 해상도에서 나이퀴스트 대역의 입력신호가 인가될 때 51.8 dB와 72.4 dB의 높은 SNDR 및 SFDR을 달성하였다. 28 nm CMOS 공정에서 설계되어 2.8 GS/s의 샘플링 주파수 및 0.9 V 공급 전압에서 18 mW의 전력을 소모하고 20.3 fJ/conv.-step의 Walden FoM을 달성하였다.

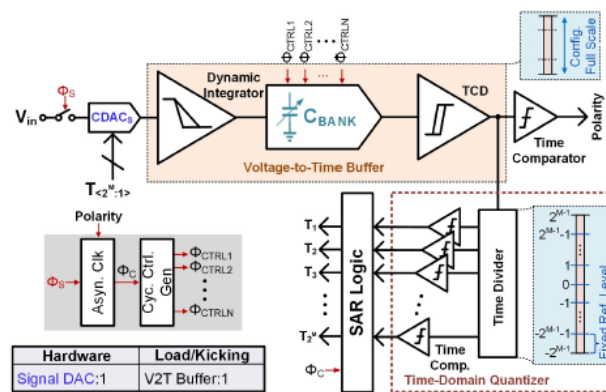


그림 4. 논문 17.1에서 제안하는 multi-bit/cycle ADC 구조

#17.2 시간 영역 ADC (TD-ADC)에 대한 연구로 8-bit 무보정 single-stage ADC를 5 nm CMOS 공정에서 설계하였다. 해당 연구는 VTC 구조에 bipolar ramp를 도입하여 두 ramp 전압의 zero crossing 지점을 활용하는 방식으로 기준 전압의 필요성을 제거하고 넓은 입력 스윙을 달성하였다는 것이 특징이다. 또한 enable 펄스에 여분의 시간을 두어 보정 없이 부호 비트 비교기에 대한 오류를 완화하였다. 보정이 필요하지 않은 간단한 구조와 5 nm의 미세 공정을 통해 0.7 V 공급 전압에서 1.18 mW, 0.8 V 공급 전압에서 1.9 mW의 작은 전력 소모를 보이고 313  $\mu\text{m}^2$ 의 면적으로 설계되었다. 또한, 전력 소모, 성능 및 면적 (PPA) 측면에서 해당 연구에서 제시한 구조는 1 GS/s의 샘플링 주파수일 때 기존 연구 결과 중 최상의 수치인 16.6 fJ/conv.-step의 Walden FoM을 달성하였다.

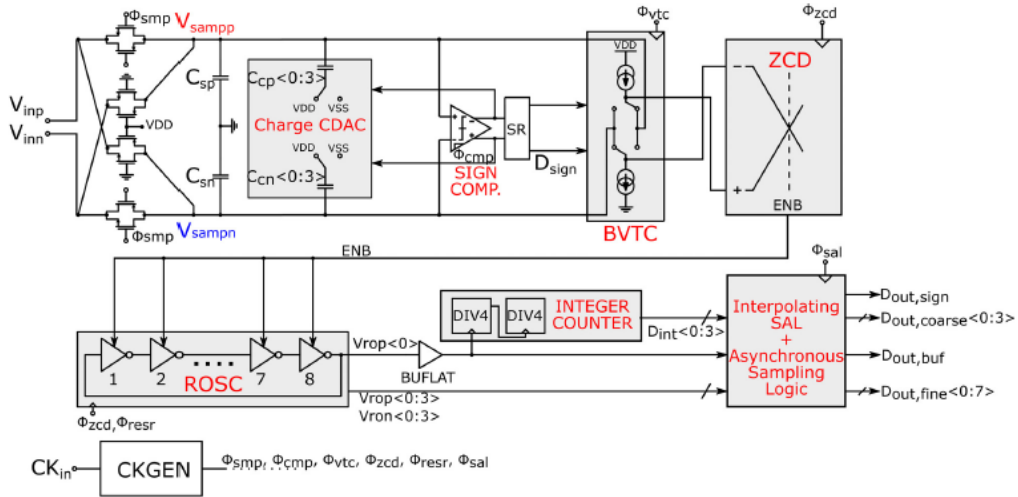


그림 5. 논문 17.2에서 제안하는 TD-ADC 구조

#17.3 TI-DAC에 대한 연구로 무선 RF 송수신기에 사용하기 위한 14-bit 16 GS/s DAC를 7 nm 공정에서 설계하였다. 출력 전력 손실이 없는 non-return-to-zero (NRZ) DAC을 두 개의 time-interleaving return-to-zero (RZ) DAC으로 구성하였다. 기존의 NMOS 전류원 대신 PMOS 전류원과 스위치, 저전력 스위치 구동 회로를 사용해 전력 손실을 줄였다. 또한 time-interleaving artifact와 관련된 신호 전력을 랜덤화하고 이를 주파수 간에 분산시키는 새로운 time-interleaving dynamic-element-matching 기법을 제안하였다. 제안하는 구조의 DAC는 16 GS/s 샘플링 주파수에서 저전력 모드로 440 mW를 소모하고 8 GS/s 샘플링 주파수에서 82 dB의 SFDR을 달성하였다. 추가로 보정이 필요한 DAC 셀마다 개별 보정 CDAC를 활용해 정확도를 높였다.

#17.4 17.1과 마찬가지로 무선 네트워크 시스템에서 사용할 수 있는 고속 TI-SAR ADC에 대한 연구이다. ADC는 7 nm 공정에서 24 GS/s의 샘플링 주파수와 7.2 GHz의 입력 대역폭, 76 dB의 SFDR을 보인다. 24 GS/s의 샘플링 속도를 달성하기 위해 80 개의 sub-ADC가 사용되었다. Signal path는 프론트엔드 샘플링 네트워크와 10개의 sub-ADC를 갖는다. 프론트엔드 샘플링 네트워크는 100Ω과 두 개의 상보적 S/H, pseudo-differential push-pull source follower로 구성되었다. S/H 구조는 부트스트랩 스위치와 programmable current-controlled static bootstrap을 포함한 bottom-plate 샘플링 방식을 이용하였고, 이를 10 개의 sub-ADC로 구동한다. 또한, memory effect 부정합 및 왜곡을 디지털 보정하여 SFDR을 향상시켰다.

#17.5 Ring Amplifier을 활용한 pipelined TI-SAR ADC에 대한 연구이다. GHz의 샘플링 속도와 12-bit 이상 해상도를 가지면서도 레퍼런스 전력을 3.7 mW, 전체 de-cap 사이즈를 44 pF으로 줄인 ADC를 설계하였다. ADC의 구조는 TI ADC와 SAR ADC를 결합한 하이브리드 구조로, pipeline TI-SAR 구조의 효율성 개선을 위해 MADC를 포함한 ring amplifier 구조를 제안하였다. 레퍼런스 버퍼의 전력 및 면적 오버헤드를 줄이기 위해 레퍼런스 de-cap 스위칭 기법 또한 활용되었다. 해당 연구는 28 nm 공정에서 6.9 mW의 저전력 소비 및 1 GS/s의 샘플링 주파수를 달성하였다.

#17.6 Timing Skew 보정 기능을 포함한 온칩 SAR ADC에 관한 논문이다. 기존 time-interleaved SAR ADC의 입력 신호와 관련된 timing skew의 불일치를 해결하기 위해서는 고비용의 보정 엔진이 필요했다. 논문에서는 공통모드 전압 입력에 의해 입력 독립성을 달성하는 background timing skew 보정 방식을 제시한다. 또한 샘플링 회로에서 복제 스위치를 추가해 보정 회로를 양자화기와 분리함으로써 감지 회로를 단순화하고 오류를 줄이는 것이 가능하다. 제안하는 ADC 구조는 네 개의 하위 채널 partial loop-unrolled 7-bit SAR ADC와 skew 보정회로로 구성되어 있다. 28 nm공정에서 4.5 GS/s의 샘플링 주파수를 달성하였으며 나이퀴스트 입력에서 각각 53.48 dB와 39.72 dB의 SFDR과 SNDR의 높은 정확도를 달성하였다. 또한, 18.5 fJ/conv.-step Walden FoM을 보였다.

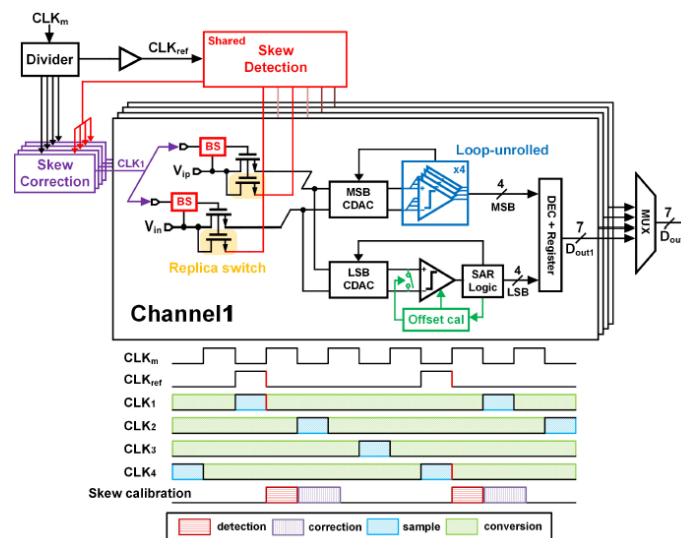


그림 6. 논문 17.6에서 제안하는 4x interleaved SAR ADC 구조

#17.7 Multiple-Reference를 내장한 비교기를 가진 sub-ranging ADC에 관한 연구이다. Sub-ranging ADC는 다수의 비교기로 인해 많은 전력을 소모하고, 기생성분 및 킱백 노이즈의 영향을 받게 된다. 본 논문에서는 하나의 비교기에 여러 개의 내장 레퍼런스 (embedded reference; ER) 전압을 갖춘 MREC(Multiple-reference-embedded comparator)를 제안하여 비교기 개수를 70% 이상 감소시켰다. 제안된 3단 sub-ranging ADC는 3개의 MREC 기반 ADC와, CDAC, 내장 레퍼런스 설정 회로, switchable resistor ladder로 구성된다. 내장 레퍼런스 설정 회로가 여러 개의 내장 레퍼런스 전압을 각각의 MREC에 설정하면, 3개의 브랜치로 구성된 MREC의 출력으로부터 3개의 비교 결과들이 생성되며, 이 방식을 통해 사용되는 비교기의 개수를 줄일 수 있다. 또한 오프셋 전압에 의해 내장 레퍼런스 전압의 정확도를 보장할 수 없는 경우를 위해 순환식 내장 레퍼런스 설정 구현 방식 및 킱백 보상기 사용을 추가적으로 제안했다. 해당 회로는 28nm CMOS 공정에서 설계되었으며, 2.7 GS/s의 샘플링 주파수를 가질 때 1V 전원전압에서 3mW만의 전력을 소모했고, 1.25 GHz 입력에 대해 45.9 dB의 SNDR과 63.5 dB의 SFDR, 6.9 fJ/conv.-step Walden FoM을 보였다.

#17.8 기존의 time-domain ADC (TD-ADC)에서 데이터 처리율과 voltage-to-time converter (VTC)의 비선형성을 개선한 asynchronous successive approximation (ASA) time-to-digital converter (TDC)에 관한 논문이다. Time domain에서 pipeline 구조를 활용해 처리율을 개선하고, LMS(Least-mean-square) 튜닝 방식을 통해 ASA TDC 내부의 레퍼런스 지연 시간을 최적화하여 비선형성을 보상했다. 구현된 VTC는 초기 전압 스텝이 입력 진폭에 의해 결정되므로, 입력에 따라 서로 다른 기울기가 생성되고 이는 인버터에 의해 감지되어 전압-시간 변환이 이루어진다. TDC는 레퍼런스 지연 시간 값을 활용하여 이 VTC의 선형성을 보정하는 역할을 하며 이를 통해 전반적인 ADC의 선형성을 높일 수 있다. 해당 연구는 28nm 공정으로 수행되었으며, SNDR 36.4 dB, SFDR 51.7 dB, 58.9 fJ/conv.-step Walden FoM을 보인다.

## 저자정보

---



### 남재원 교수

- 소 속 : 서울과학기술대학교 전자IT미디어공학과
  - 연구분야 : 아날로그-디지털 혼성신호 집적회로 설계
  - 이 메 일 : jaewon.nam@seoultech.ac.kr
  - 홈페이지 : <https://www.jaewon-nam.com/>
-